

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant:	Shinya Ito	Examiner:	Unassigned
Serial No.:	Unassigned	Art Unit:	Unassigned
Filed:	Herewith	Docket:	17381
For:	SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME	Dated:	January 23, 2004


Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

CLAIM OF PRIORITY

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. §119 and in support thereof, herewith submits a certified copy of Japanese Patent Application 2003-019410 filed on January 28, 2003.

Respectfully submitted,


Paul J. Esatto, Jr.
Registration No.: 30,749

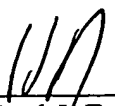
Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, New York 11530
(516) 742-4343
PJE:jf

CERTIFICATE OF MAILING BY EXPRESS MAIL

Express Mail Mailing Label Number: **EV 213901940 US**
Date of Deposit: **January 23, 2004**

I hereby certify that this correspondence is being deposited with the United States Postal Service Express Mail Post Office to Addressee service under 37 C.F.R. §1.10 on the date indicated above and is addressed to the Commissioner For Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Dated: January 23, 2004


Paul J. Esatto, Jr.

A442
US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 1 9 4 1 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 1 9 4 1 0]

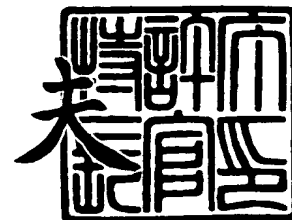
出 願 人 N E C エレクトロニクス株式会社
Applicant(s):



2 0 0 3 年 1 0 月 2 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 9 7 0 2

【書類名】 特許願
【整理番号】 74120020
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
H01L 21/336
H01L 21/28
H01L 21/76

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地
N E C エレクトロニクス株式会社内

【氏名】 伊藤 信哉

【特許出願人】

【識別番号】 302062931
【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100109313
【弁理士】
【氏名又は名称】 机 昌彦
【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268
【弁理士】
【氏名又は名称】 河合 信明
【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100111637
【弁理士】
【氏名又は名称】 谷澤 靖久
【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0215753

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法及び半導体装置

【特許請求の範囲】

【請求項 1】 MOS トランジスタを含む半導体基板にシリサイドを形成する半導体装置の製造方法であって、半導体基板全面にカバー酸化膜を成膜するカバー酸化膜成膜工程と、前記半導体基板を熱処理する第 1 の熱処理工程と、シリサイドを形成する領域以外の前記半導体基板上に前記カバー酸化膜を一部残し、かつ、前記半導体基板表面の一部を露出させる酸化膜パターンを形成する酸化膜パターン形成工程と、前記半導体基板全面に金属膜を成膜する工程と、前記半導体基板を熱処理して前記金属膜を前記半導体基板表面の一部のうちシリコンが露出した部分と反応させてシリサイドを形成する第 2 の熱処理工程と、前記半導体基板上に残った未反応の前記金属膜を除去しシリサイド領域を画定する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記カバー酸化膜は 300～500℃の範囲で成長させた膜厚 20～40 nm の気相成長 (CVD) 酸化膜であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記第 1 の熱処理工程は 1000～1100℃でゼロ秒間行うスパイク RTA (Rapid Thermal Annealing) であることを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】 前記第 1 の熱処理工程は、前記半導体基板に形成されている MOS トランジスタのソース／ドレイン領域の不純物活性化および欠陥除去を兼ねることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体装置の製造方法。

【請求項 5】 前記 MOS トランジスタを含む半導体基板は、半導体基板中に設けたトレンチに酸化膜を充填することにより半導体基板に設けられる素子間の区画が行われることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の半導体装置の製造方法。

【請求項 6】 MOS トランジスタを有する半導体装置であって、前記 MOS トランジスタは半導体基板内でシリサイドを含む第 1 の MOS トランジスタと

シリサイドを含まない第2のMOSトランジスタとに分けられ、前記シリサイドを含まない第2のMOSトランジスタはその上を覆うシリサイド防止絶縁膜を有し、前記シリサイドを含む第1のMOSトランジスタはその上の前記シリサイド防止絶縁膜が除去された構造であることを特徴とする半導体装置。

【請求項7】 前記シリサイド防止絶縁膜は300～500℃の範囲で成長させた膜厚20～40nmの気相成長(CVD)酸化膜であることを特徴とする請求項6に記載の半導体装置。

【請求項8】 前記半導体基板の上には前記シリサイド防止絶縁膜を下層とする層間絶縁膜が設けられ、前記MOSトランジスタよりも上層に形成される配線と前記シリサイドを含む第1のMOSトランジスタとの接続が前記層間絶縁膜を介して行われ、前記MOSトランジスタよりも上層に形成される前記配線と前記シリサイドを含まない第2のMOSトランジスタとの接続が前記層間絶縁膜及び前記シリサイド防止絶縁膜を介して行われることを特徴とする請求項6又は7に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はMOSトランジスタを有する半導体装置の製造方法及び半導体装置に関し、特にシリサイドを含むMOSトランジスタを有する半導体装置の製造方法及び半導体装置に関するものである。

【0002】

【従来の技術】

CMOS構造を有する半導体装置においては、寄生抵抗を低減するためにゲート電極やソース・ドレインの上面に金属シリサイド膜を形成するシリサイド技術が用いられている。これは、電極をとるシリコン(Si)及び／またはポリシリコン(Poly-Si)上にTi、Coなどの金属膜を成膜し、熱処理して金属膜をシリコンと反応させて合金化する技術である。これにより、関連する箇所の寄生抵抗を低くすることができ、素子の高速化を実現することができる。

【0003】

シリサイド技術の他には、素子分離絶縁膜として、従来のLOCOS酸化膜より狭い面積で素子分離を行えるSTI (Shallow Trench Isolation) 膜がある。このSTI膜は、シリコン基板上にエッチング等で溝を掘り、その中に絶縁膜を埋め込むことによって形成するもので、従来のLOCOS酸化膜より深く、厚い素子分離絶縁膜とすることができる。図3に、素子分離絶縁膜としてSTI膜を用いたシリサイド構造のMOSFETの断面構成を示す。

【0004】

図において、シリコン基板にウェル領域101及びウェル領域102が形成され、STI膜103によりウェル領域102内の素子形成領域が他の素子形成領域から絶縁分離されるようになっている。素子形成領域において、ウェル102領域上には、ゲート酸化膜104を挟んでポリシリコンからなるゲート電極105が形成される。また、ゲート電極105の側壁には、側壁酸化膜(サイドウォール)106が形成されている。ウェル領域102内にはソース/ドレイン108が形成され、ゲート電極106、ソース/ドレイン108の上面には金属シリサイド膜109が形成される。

【0005】

このようなSTI膜103を用いたシリサイド構造のMOSFETにおいて、STI膜103がSTI膜103形成時及びその後の、特にウエットエッチング工程において薄くなり、トレンチの肩の部分で埋込酸化膜の窪み111が大きくなるという現象が生じる。この状態でシリサイドを実施すると、STI膜103の溝の側面付近にまで金属シリサイド膜109が入り込み、ソース/ドレイン108とウェル領域102の接合部分から接合リークが生じるという問題が生じる。

【0006】

以下、上記した問題が生じることを、MOSFETの概略の製造工程を示す図4～図6及び図3を参照して説明する。

【0007】

シリコン基板101上にSiN膜121をCVDにて150nm程度形成し、

素子分離絶縁膜を形成する箇所を開口した後、SiN膜121をマスクとしてエッチングを行い、STI用の溝を300～600nm程度形成し、熱酸化膜を数～数十nm形成した後、CVD装置などで酸化膜122を堆積する（図4（a））。

【0008】

この後、CMPにてSiN膜121の表面の酸化膜を取り除き（図4（b））、次にSiN膜121をリン酸のウェットエッチングによって取り除く（図4（c））。これにより、約450～750nm程度の厚さを持つ素子分離絶縁膜としてのSTI膜103が完成する。

【0009】

この後、ウェル領域102を形成するため、イオン注入、熱処理を行い、熱処理によってできた表面の数～数十nmの酸化膜をエッチングによって除去する（図5（a））。このとき、STI膜103の表面も同時にエッチングされるため、STI膜103は薄くなる。

【0010】

次に、酸化膜123を1～20nm形成し、ポリシリコン124を約200nm堆積した（図5（b））後、トランジスタのゲート電極となる部分をエッチングする（図5（c））。これによって、ゲート酸化膜104、ゲート電極105が形成される。

【0011】

この後、ウエハ全面に酸化膜125を10～20nm程度堆積し（図6（a））、エッチングを行ってサイドウォール106を形成する（図6（b））。そして、ソース／ドレイン108を形成するためにイオン注入と熱処理を加え、熱処理時に形成された数～数十nmの表面酸化膜を除去するためにエッチングを行う（図6（c））。これらのエッチング工程においても、STI膜103表面はエッチングされるため、STI膜103は薄くなり、特にトレンチの肩部分での窪み111が顕著になる。

【0012】

このような状態で、金属シリサイド膜109を形成すると、図3に示すように

、金属シリサイド膜109がSTI膜103の溝の側面付近にまで入り込み、ソース／ドレイン108とウェル領域102の接合部分からシリサイドリークが生じる。

【0013】

このような問題を解決する技術が特許文献1に開示されている。この技術によると、図4(c)の時点で形成されたSTI膜103の露出表面を全て窒化膜等のウエットエッチング耐性のある絶縁膜で覆っている。

【0014】

【特許文献1】

特開2001-85683公報（段落番号0022、図2）

【0015】

【発明が解決しようとする課題】

しかしながら、上記特許文献1のトレンチ分離構造では、逆にトレンチ分離部の突出形状が維持されるために、トレンチ分離構造の上に多層配線を形成する場合に段差が生じて配線の段切れの問題が懸念される。

本発明の目的は、シリサイドを含むMOSトランジスタ及びトレンチ分離構造を有する半導体装置において、トレンチ分離構造の埋込酸化膜の肩部でのトランジスタリークを抑えることのできる半導体装置の製造方法及び半導体装置を提供するものである。

【0016】

【課題を解決するための手段】

本発明の半導体装置の製造方法は、MOSトランジスタを含む半導体基板にシリサイドを形成する半導体装置の製造方法であって、半導体基板全面にカバー酸化膜を成膜するカバー酸化膜成膜工程と、前記半導体基板を熱処理する第1の熱処理工程と、シリサイドを形成する領域以外の前記半導体基板上に前記カバー酸化膜を一部残し、かつ、前記半導体基板表面の一部を露出させる酸化膜パターンを形成する酸化膜パターン形成工程と、前記半導体基板全面に金属膜を成膜する工程と、前記半導体基板を熱処理して前記金属膜を前記半導体基板表面の一部のうちシリコンが露出した部分と反応させてシリサイドを形成する第2の熱処理工

程と、前記半導体基板上に残った未反応の前記金属膜を除去しシリサイド領域を画定する工程とを有することを特徴とする。

【0017】

上記本発明の半導体装置の製造方法において、前記カバー酸化膜は300～500℃の範囲で成長させた膜厚20～40nmの気相成長（CVD）酸化膜であり、前記第1の熱処理工程は1000～1100℃でゼロ秒間行うスパイクRTA（Rapid Thermal Annealing）であり、さらに、前記第1の熱処理工程は、前記半導体基板に形成されているMOSトランジスタのソース／ドレイン領域の不純物活性化および欠陥除去を兼ねる。

【0018】

上記本発明の半導体装置の製造方法において、前記MOSトランジスタを含む半導体基板は、半導体基板中に設けたトレンチに酸化膜を充填することにより半導体基板に設けられる素子間の区画が行われる。

【0019】

本発明の半導体装置は、MOSトランジスタを有する半導体装置であって、前記MOSトランジスタは半導体基板内でシリサイドを含む第1のMOSトランジスタとシリサイドを含まない第2のMOSトランジスタとに分けられ、前記シリサイドを含まない第2のMOSトランジスタはその上を覆うシリサイド防止絶縁膜を有し、前記シリサイドを含む第1のMOSトランジスタはその上の前記シリサイド防止絶縁膜が除去された構造であることを特徴とする。

【0020】

上記本発明の半導体装置において、前記シリサイド防止絶縁膜は300～500℃の範囲で成長させた膜厚20～40nmの気相成長（CVD）酸化膜である。

【0021】

上記本発明の半導体装置において、前記半導体基板の上には前記シリサイド防止絶縁膜を下層とする層間絶縁膜が設けられ、前記MOSトランジスタよりも上層に形成される配線と前記シリサイドを含む第1のMOSトランジスタとの接続が前記層間絶縁膜を介して行われ、前記MOSトランジスタよりも上層に形成さ

れる前記配線と前記シリサイドを含まない第2のMOSトランジスタとの接続が前記層間絶縁膜及び前記シリサイド防止絶縁膜を介して行われる。

【0022】

【発明の実施の形態】

次に、本発明の第1の実施形態を図面を参照して説明する。図1、2は本発明による半導体装置の製造方法を製造工程順に示す断面図である。なお、この実施形態において、図3～図6に示すものと同一符号を付したものは、同一もしくは均等のものであることを意味している。まず、図4(a)～図6(b)と同じ工程で、シリコン基板(図示せず)内のウェル領域131、102にSTI膜103及びソース/ドレイン108等を形成する(この状態を図1(a)に示す)。

【0023】

図1(a)のソース/ドレイン108は、ソース/ドレイン用の不純物をゲート電極105及びサイドウォール106をマスクとしてイオン注入することにより形成される。

【0024】

次に、図1(b)に示すように、気相成長(CVD)酸化膜112を300～500℃の範囲で膜厚20～40nmに成長させる。ここで、先に記載したソース/ドレイン用の不純物のイオン注入は、CVD酸化膜112の成膜後に行っても良い。

【0025】

続いて、ソース/ドレイン用の不純物の活性化及び半導体基板(またはウェル領域)中にイオン注入により生じた結晶欠陥除去のために、1000～1100℃でゼロ秒間のスパイクRTA(Rapid Thermal Annealing)を実施する。これにより、CVD酸化膜112はウエットエッチングに対するエッチングレートが小さくなるとともに膜中のピンホール数を減らすことができる。従って、CVD酸化膜112の膜厚を20～30nmと薄く設定することも出来る。またこのとき、CVD酸化膜112はソース/ドレイン用の不純物の外方拡散を防止する役割も果たしている。

【0026】

次に、図1(c)に示すように、レジストを塗布・露光・現像してCVD酸化膜112を図に示す一方の静電保護用トランジスタまたはアナログ回路を構成するトランジスタ等の非シリサイド化トランジスタ200の上に残すように弗酸系のエッチング液でウエットエッチングする。CVD酸化膜112は1000～1100℃でのRTA処理を経ているためウエットエッチングレートが小さくなっている。CVD酸化膜112の膜厚を20～30nmと薄く堆積させた場合には、ウエットエッチング時間を短くできるので、STI膜103へのウエットエッチングの影響を極力抑えることができ、STI膜103の肩部分にできる窪み111の深さを浅く止めることができる。本実施形態ではCVD酸化膜112のエッチングにウエットエッチングを用いた例を示したが、CVD酸化膜112の膜厚が20～30nmと薄いので、エッチング時間自体を短くできることからドライエッチングを用いることも出来る。

【0027】

次に、図2(a)に示すように、コバルトをシリサイド用金属膜109として全面に堆積させる。ここで、シリサイド用金属膜109はコバルトに限定されず、タングステン、チタン等を用いることができる。

【0028】

次に、図2(b)に示すように、シリサイド用金属膜109がウェル領域131のシリコンと接触する部分をシリサイド化させるために、窒素雰囲気中、650～700℃の範囲で20～40秒の間の時間、ウェル領域131、102を含むシリコン基板を熱処理する。

【0029】

次に、図2(c)に示すように、シリコンと反応して出来たシリサイド層113をメモリ回路、ロジック回路等を構成するシリサイド化トランジスタ300にのみ残し、未反応のコバルトを除去する。

【0030】

このようにして形成された非シリサイド化トランジスタ200及びシリサイド化トランジスタ300上には多層配線技術を適用して層間絶縁膜及び配線(図示

せず) が形成される。この場合、非シリサイド化トランジスタ 200 は CVD 酸化膜 112 及びその上の層間絶縁膜にスルーホールを開けて上層配線に接続され、シリサイド化トランジスタ 300 はその上の層間絶縁膜にスルーホールを開けて上層配線に接続されることとなる。

【0031】

このようにして STI 膜 103 を用いたサリサイド構造の MOSFET が完成する。

【0032】

以上のように、STI 膜を用いたサリサイド構造の MOS トランジスタを有する半導体装置において、STI 膜及び MOS トランジスタのゲート電極横のサイドウォール形成後に MOS トランジスタを非シリサイド化トランジスタ領域とシリサイド化トランジスタ領域とに分け、非シリサイド化トランジスタ領域のみが薄い CVD 酸化膜に覆われるように酸化膜を形成する。

【0033】

この CVD 酸化膜を薄く形成しているので、CVD 酸化膜のエッチング時間を短くすることができ、STI 膜のエッチングを最小限に抑え、トレンチの肩部分での酸化膜の窪みが深くなることを防止出来る。

【0034】

CVD 酸化膜のエッチングにウエットエッチングを用いる場合には、この CVD 酸化膜は予め高温でのスパイク処理を行っているので CVD 酸化膜のウエットエッチングに対するエッチングレートは小さくなっている。従って、CVD 酸化膜が薄いことと、ウエットエッチングに対するエッチングレートが小さいことから、STI 膜のエッチングを最小限に抑え、トレンチの肩部分での酸化膜の窪みが深くなることを防止出来る。従ってこの窪みに起因する素子間リークを小さく抑えることができる。

【0035】

【発明の効果】

以上説明したように本発明は、STI 膜を用いたサリサイド構造の MOS トランジスタを有する半導体装置において、STI 膜及び MOS トランジスタのゲ-

ト電極横のサイドウォール形成後にMOSトランジスタを非シリサイド化トランジスタ領域とシリサイド化トランジスタ領域とに分け、非シリサイド化トランジスタ領域のみが薄いCVD酸化膜に覆われるように酸化膜を形成する。このCVD酸化膜を薄く形成しているので、CVD酸化膜のエッチング時間を短くすることができ、STI膜のエッチングを最小限に抑え、トレンチの肩部分での酸化膜の窪みが深くなることを防止出来る。従ってこの窪みに起因する素子間リークを小さく抑えることができる。

【図面の簡単な説明】

【図 1】

本発明の半導体装置の製造方法を製造工程順に示す断面図である。

【図 2】

図 1 に続く製造工程を示す断面図である。

【図 3】

従来の半導体装置の製造方法により形成されるSTI膜の窪みを示す断面図である。

【図 4】

従来の半導体装置の製造方法により形成されるSTI膜の窪みが生じるまでの製造工程を順に示す断面図である。

【図 5】

図 4 に続く製造工程を示す断面図である。

【図 6】

図 5 に続く製造工程を示す断面図である。

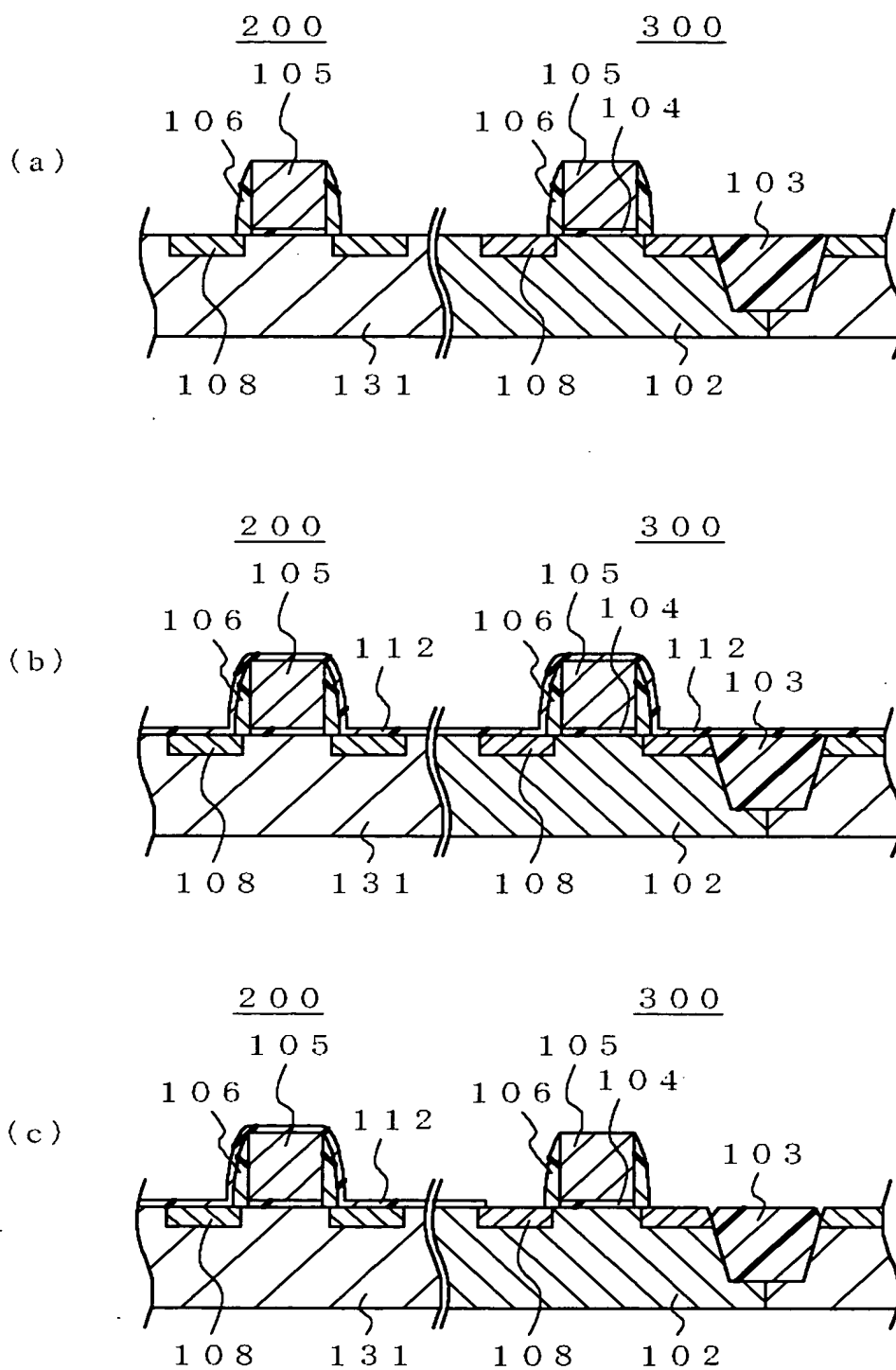
【符号の説明】

- 1 0 1 シリコン基板
- 1 0 2、1 3 1 ウェル領域
- 1 0 3 STI膜
- 1 0 4 ゲート酸化膜
- 1 0 5 ゲート電極
- 1 0 6 サイドウォール

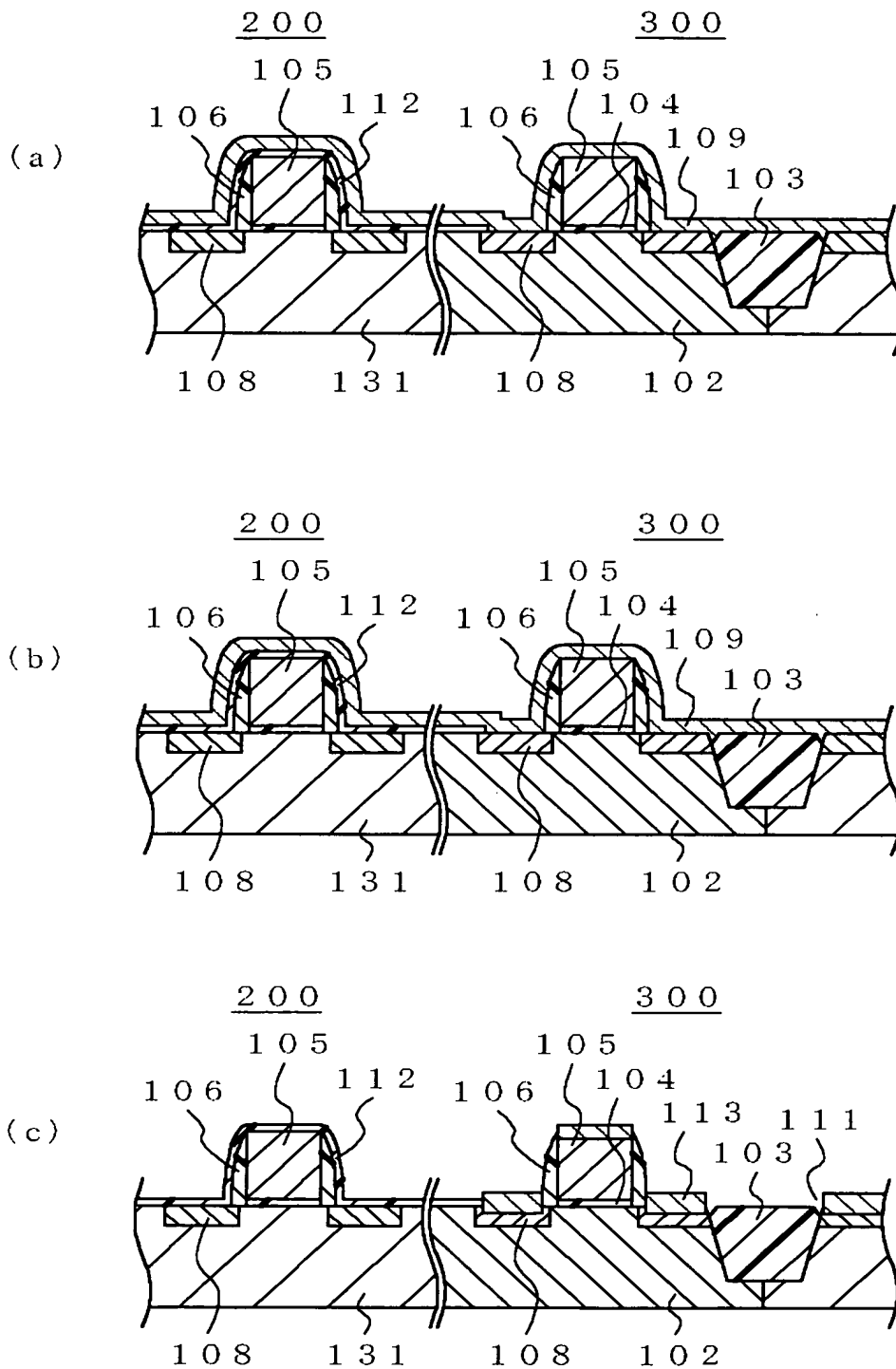
- 1 0 8 ソース／ドレイン
- 1 0 9 シリサイド用金属膜
- 1 1 1 窪み
- 1 1 2 気相成長（C V D）酸化膜
- 1 1 3 金属シリサイド膜
- 1 2 1 S i N 膜
- 1 2 2、1 2 3、1 2 5 酸化膜
- 1 2 4 ポリシリコン
- 2 0 0 非シリサイド化トランジスタ領域
- 3 0 0 シリサイド化トランジスタ領域

【書類名】 図面

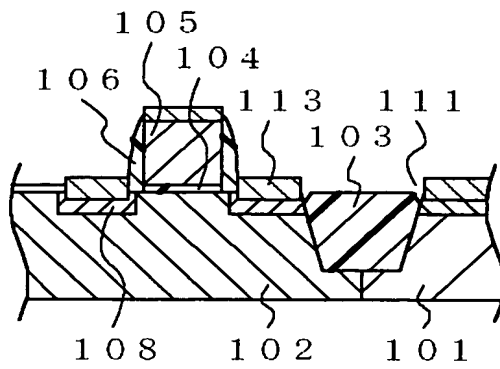
【図 1】



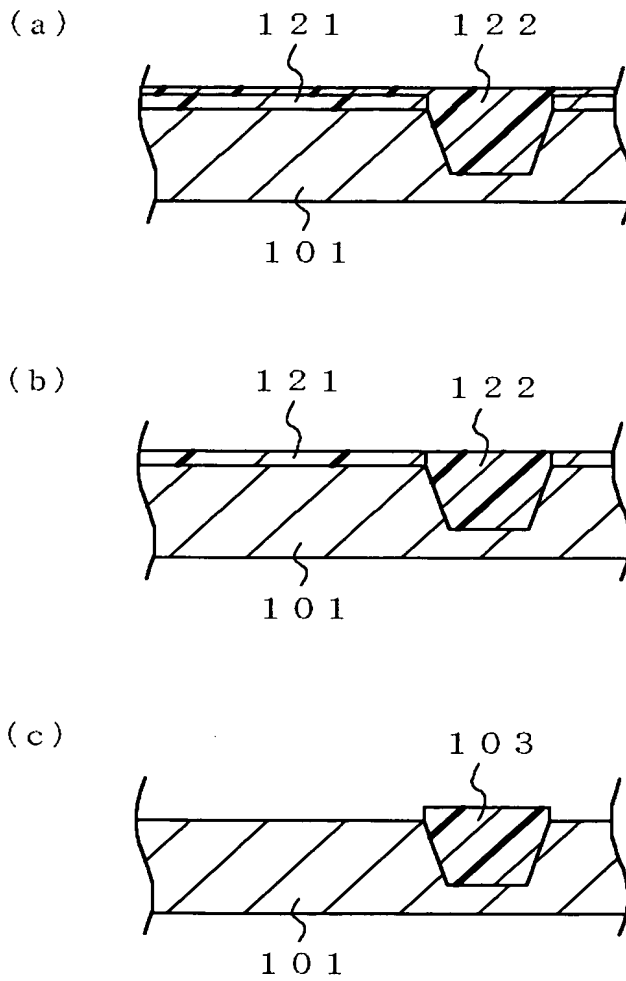
【図 2】



【図 3】

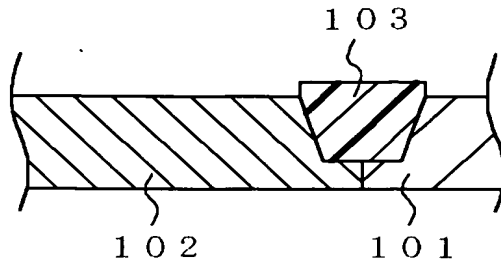


【図 4】

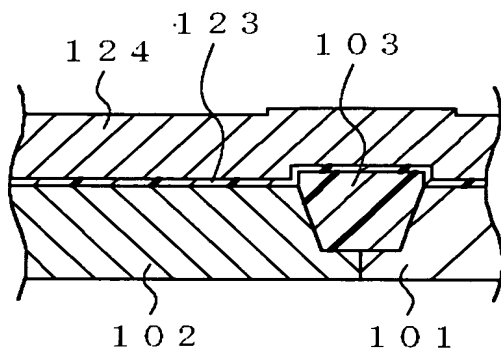


【図 5】

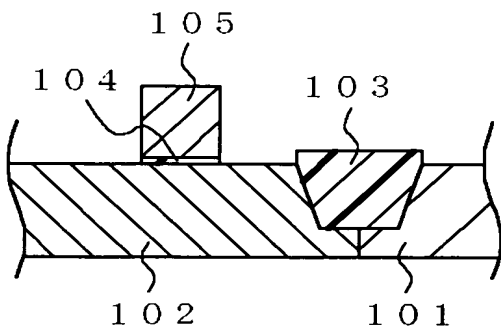
(a)



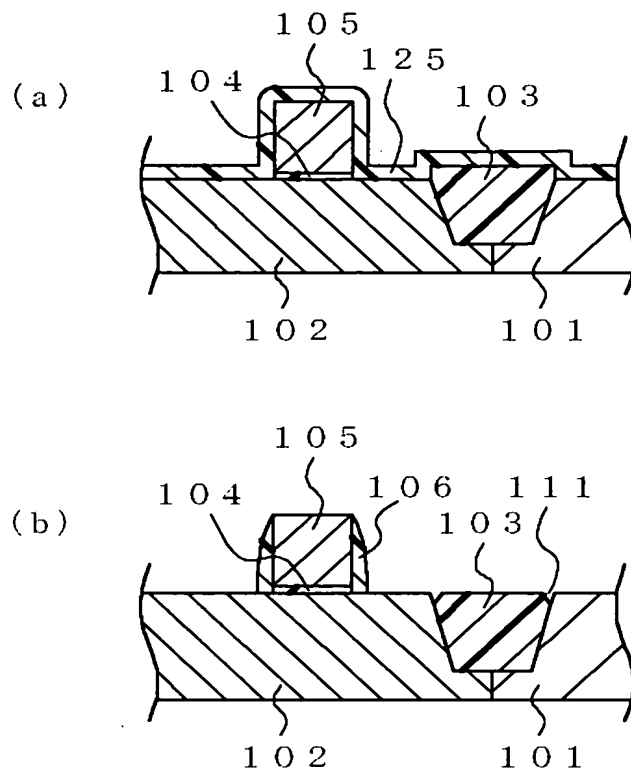
(b)



(c)



【図 6】



【書類名】 要約書

【要約】

【課題】 S T I 膜を用いたサリサイド構造の M O S トランジスタを有する半導体装置において、S T I 膜のトレンチの肩部分でのトランジスタリークの低減が要求されている。

【解決手段】 S T I 膜 1 0 3 及び M O S トランジスタのゲート電極横のサイドウォール 1 0 6 形成後に M O S トランジスタを非シリサイド化トランジスタ領域 2 0 0 とシリサイド化トランジスタ領域 3 0 0 とに分け、非シリサイド化トランジスタ領域のみを薄い C V D 酸化膜 1 1 2 で覆う。この C V D 酸化膜を薄く形成しているので、C V D 酸化膜のエッチング時間を短くすることができ、S T I 膜のエッチングを最小限に抑え、トレンチの肩部分での酸化膜の窪み 1 1 1 が深くなることを防止出来る。従ってこの窪みに起因する素子間リークを小さく抑えることができる。

【選択図】 図 2


認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 1 9 4 1 0
受付番号	5 0 3 0 0 1 3 5 1 7 5
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 月 2 9 日

< 認定情報・付加情報 >

【提出日】	平成15年 1月28日
-------	-------------

次頁無



特願 2 0 0 3 - 0 1 9 4 1 0

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社